



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년08월10일
 (11) 등록번호 10-1887824
 (24) 등록일자 2018년08월06일

(51) 국제특허분류(Int. Cl.)
 H03M 1/06 (2006.01) H03M 1/00 (2006.01)
 H03M 1/12 (2006.01)
 (52) CPC특허분류
 H03M 1/0626 (2013.01)
 H03M 1/002 (2013.01)
 (21) 출원번호 10-2017-0113585
 (22) 출원일자 2017년09월05일
 심사청구일자 2017년09월05일
 (56) 선행기술조사문헌
 US20140250971 A1*
 KR101738266 B1*
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
 서울대학교산학협력단
 서울특별시 관악구 관악로 1 (신림동)
 (72) 발명자
양영태
 서울특별시 관악구 남부순환로244가길 7 (봉천동) 304
조준수
 서울특별시 은평구 진관3로 77 (진관동, 은평뉴타운 구과발) 924-203
김수환
 서울특별시 송파구 올림픽로 135 리센즈아파트 262-1102
 (74) 대리인
김선중

전체 청구항 수 : 총 8 항

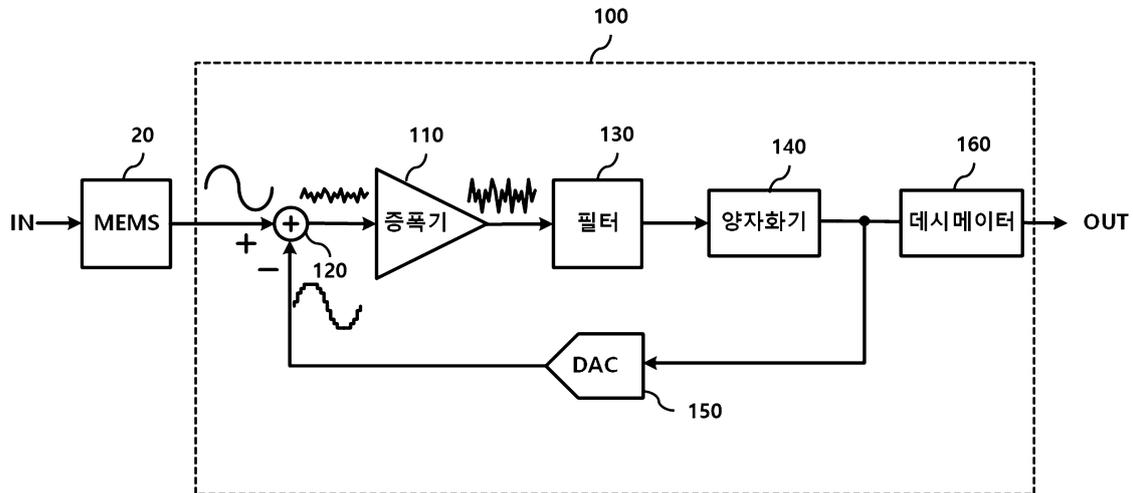
심사관 : 유선중

(54) 발명의 명칭 **아날로그 디지털 변환 장치 및 이를 포함하는 마이크**

(57) 요약

본 기술에 의한 아날로그 디지털 변환 장치는 아날로그 신호와 아날로그 값을 뺄셈하는 제 1 연산기; 제 1 연산기의 출력을 증폭하는 증폭기; 증폭기의 출력을 필터링하는 필터; 필터의 출력으로부터 디지털 비트 스트림을 생성하는 양자화기; 및 디지털 비트 스트림에 따라 아날로그 값을 출력하는 디지털 아날로그 변환기를 포함한다.

대표도 - 도2



(52) CPC특허분류

H03M 1/129 (2013.01)

H03M 2201/19 (2013.01)

H03M 2201/646 (2013.01)

명세서

청구범위

청구항 1

아날로그 신호와 아날로그 값을 뺄셈하는 제 1 연산기;
 상기 아날로그 신호의 크기에 따라 결정되는 선택 신호를 출력하는 탐지부;
 상기 선택 신호에 따라 상기 아날로그 신호 또는 상기 제 1 연산기의 출력을 선택하는 제 1 선택부;
 상기 제 1 선택부의 출력을 증폭하는 증폭기;
 상기 증폭기의 출력과 상기 아날로그 값을 뺄셈하는 제 2 연산기;
 상기 선택 신호에 따라 상기 증폭기의 출력 또는 상기 제 2 연산기의 출력을 선택하는 제 2 선택부;
 상기 제 2 선택부의 출력을 필터링하는 필터;
 상기 필터의 출력으로부터 디지털 비트 스트림을 생성하는 양자화기; 및
 상기 디지털 비트 스트림에 따라 상기 아날로그 값을 출력하는 디지털 아날로그 변환기
 를 포함하는 아날로그 디지털 변환 장치.

청구항 2

청구항 1에 있어서, 상기 디지털 비트 스트림으로부터 디지털 신호를 출력하는 데시메이터를 더 포함하는 아날로그 디지털 변환 장치.

청구항 3

삭제

청구항 4

청구항 2에 있어서, 상기 탐지부는 상기 디지털 신호의 크기를 임계점과 비교하여 상기 선택 신호를 출력하는 아날로그 디지털 변환 장치.

청구항 5

청구항 4에 있어서, 상기 탐지부는 상기 디지털 신호의 진폭을 나타내는 진폭 신호를 출력하는 변환부 및 상기 진폭 신호의 포락선을 탐지하여 상기 임계점과 비교하여 상기 선택 신호를 출력하는 비교부를 포함하는 아날로그 디지털 변환 장치.

청구항 6

청구항 5에 있어서, 상기 비교부는 상기 진폭 신호의 포락선을 탐지하는 저주파 필터를 포함하는 아날로그 디지털 변환 장치.

청구항 7

청구항 1에 있어서, 상기 아날로그 신호의 크기가 일정한 값 미만이면 상기 제 1 선택부는 상기 아날로그 신호를 선택하고 상기 제 2 선택부는 상기 제 2 연산기의 출력을 선택하며, 상기 아날로그 신호의 크기가 상기 일정한 값을 초과하면 상기 제 1 선택부는 상기 제 1 연산기의 출력을 선택하고 상기 제 2 선택부는 상기 증폭기의 출력을 선택하는 아날로그 디지털 변환 장치.

청구항 8

음향 신호에 따라 아날로그 신호를 출력하는 맵스 장치; 및

상기 아날로그 신호에 대응하는 디지털 신호를 출력하는 아날로그 디지털 변환 장치를 포함하되, 상기 아날로그 디지털 변환 장치는
 상기 아날로그 신호와 아날로그 값을 뺄셈하는 제 1 연산기;
 상기 아날로그 신호의 크기에 따라 결정되는 선택 신호를 출력하는 탐지부;
 상기 선택 신호에 따라 상기 아날로그 신호 또는 상기 제 1 연산기의 출력을 선택하는 제 1 선택부;
 상기 제 1 선택부의 출력을 증폭하는 증폭기;
 상기 증폭기의 출력과 상기 아날로그 값을 뺄셈하는 제 2 연산기;
 상기 선택 신호에 따라 상기 증폭기의 출력 또는 상기 제 2 연산기의 출력을 선택하는 제 2 선택부;
 상기 제 2 선택부의 출력을 필터링하는 필터;
 상기 필터의 출력으로부터 디지털 비트 스트림을 생성하는 양자화기; 및
 상기 디지털 비트 스트림에 따라 상기 아날로그 값을 출력하는 디지털 아날로그 변환기를 포함하는 마이크.

청구항 9

청구항 8에 있어서, 상기 디지털 비트 스트림으로부터 디지털 신호를 출력하는 데시메이터를 더 포함하는 마이크.

청구항 10

삭제

발명의 설명

기술 분야

[0001] 본 발명은 아날로그 디지털 변환 장치 및 이를 포함하는 마이크에 관한 것이다.

배경 기술

[0002] 도 1은 종래의 아날로그 디지털 변환 장치와 이를 포함하는 마이크를 나타낸 블록도이다.

[0003] 종래의 마이크 장치는 멤스 장치(20)와 그 출력을 디지털 신호로 변환하는 아날로그 디지털 변환 장치(10)를 포함한다.

[0004] 멤스 장치(20)는 음향 신호(IN)에 대응하는 전기 신호를 출력한다.

[0005] 아날로그 디지털 변환 장치(10)는 멤스 장치(20)에서 출력된 전기 신호에 대응하는 디지털 신호(OUT)를 출력한다.

[0006] 도 1에서 아날로그 디지털 변환 장치(10)는 시그마-델타 변조 방식을 사용한다.

[0007] 아날로그 디지털 변환 장치(10)는 멤스 장치(20)의 출력을 증폭하는 증폭기(11), 증폭기(11)의 출력과 디지털 아날로그 변환기(15)의 출력을 뺄셈하는 연산기(12), 연산기(12)의 출력을 필터링하는 필터(13), 필터(13)의 출력을 디지털 비트 스트림으로 변환하는 양자화기(14), 디지털 비트 스트림을 아날로그 값으로 변환하는 디지털 아날로그 변환기(15) 및 디지털 비트 스트림을 디지털 신호(OUT)로 변환하는 데시메이터(16)를 포함한다.

[0008] 증폭기(11)는 소스 팔로워 또는 전하 증폭기를 이용하여 구현될 수 있다.

[0009] 도 1과 같은 종래의 구성에서는 멤스 장치(20)의 출력이 증폭기(11)에서 증폭되는데 증폭기(11)의 출력은 전원 전압의 범위를 벗어날 수 없다.

[0010] 이에 따라 멤스 장치(20)에서 출력되는 신호의 크기가 커지는 경우 증폭기(11)의 출력 중에는 최대 전압에서 포화되는 구간이 발생할 수 있다.

- [0011] 이러한 신호의 왜곡으로 인하여 출력 신호의 하모닉 성분이 증가하는 문제가 발생한다.
- [0012] 이러한 신호 왜곡을 방지하기 위하여 증폭기(11)의 출력을 전원 전압에서 포화되지 않도록 할 수 있으나 이 경우 회로의 구성이 복잡해져 전력 소모가 증가하는 문제가 있다.

선행기술문헌

특허문헌

- [0013] (특허문헌 0001) KR 10-1738266 B1
(특허문헌 0002) KR 10-2016-0117590 A
(특허문헌 0003) US 20160097899 A1
(특허문헌 0004) US 9297826 B2

발명의 내용

해결하려는 과제

- [0014] 본 기술은 회로의 구성을 간단하게 하여 전력 소모를 줄이면서 신호 왜곡을 줄일 수 있는 아날로그 디지털 변환 장치와 이를 포함하는 마이크를 제공한다.

과제의 해결 수단

- [0015] 본 발명의 일 실시예에 의한 아날로그 디지털 변환 장치는 아날로그 신호와 아날로그 값을 뺄셈하는 제 1 연산기; 제 1 연산기의 출력을 증폭하는 증폭기; 증폭기의 출력을 필터링하는 필터; 필터의 출력으로부터 디지털 비트 스트림을 생성하는 양자화기; 및 디지털 비트 스트림에 따라 아날로그 값을 출력하는 디지털 아날로그 변환기를 포함한다.
- [0016] 본 발명의 일 실시예에 의한 마이크는 음향 신호에 따라 아날로그 신호를 출력하는 맴스 장치; 및 아날로그 신호에 대응하는 디지털 신호를 출력하는 아날로그 디지털 변환 장치를 포함하되, 아날로그 디지털 변환 장치는 아날로그 신호와 아날로그 값을 뺄셈하는 제 1 연산기; 제 1 연산기의 출력을 증폭하는 증폭기; 증폭기의 출력을 필터링하는 필터; 필터의 출력으로부터 디지털 비트 스트림을 생성하는 양자화기; 및 디지털 비트 스트림에 따라 아날로그 값을 출력하는 디지털 아날로그 변환기를 포함한다.

발명의 효과

- [0017] 본 기술에 의한 아날로그 디지털 변환 장치는 회로의 구성을 간단하게 하여 소비 전력을 줄이는 동시에 신호의 왜곡을 방지하여 출력 신호의 품질을 향상시킨다.

도면의 간단한 설명

- [0018] 도 1은 종래의 아날로그 디지털 변환 장치와 이를 포함하는 마이크의 블록도.
도 2는 본 발명의 일 실시예에 의한 아날로그 디지털 변환 장치와 이를 포함하는 마이크의 블록도.
도 3은 본 발명의 다른 실시예에 의한 아날로그 디지털 변환 장치와 이를 포함하는 마이크의 블록도.
도 4는 도 3의 탐지부의 상세 블록도.
도 5는 본 발명의 효과를 나타내는 그래프.

발명을 실시하기 위한 구체적인 내용

- [0019] 이하에서는 첨부한 도면을 참조하여 본 발명의 실시예를 개시한다.
- [0020] 도 2는 본 발명의 일 실시예에 의한 아날로그 디지털 변환 장치(100)와 이를 포함하는 마이크의 블록도이다.

- [0021] 맵스 장치(20)는 음향 신호(IN)에 대응하는 전기 신호를 출력한다.
- [0022] 아날로그 디지털 변환 장치(100)는 맵스 장치(20)에서 출력된 전기 신호에 대응하는 디지털 신호(OUT)를 출력한다.
- [0023] 도 2에서 아날로그 디지털 변환 장치(100)는 시그마-델타 변조기를 포함한다.
- [0024] 아날로그 디지털 변환 장치(100)는 맵스 장치(20)의 출력과 디지털 아날로그 변환기(150)의 출력을 뺄셈하는 연산기(120), 연산기(120)의 출력을 증폭하는 증폭기(110), 증폭기(110)의 출력을 필터링하는 필터(130), 필터(130)의 출력을 디지털 비트 스트림으로 변환하는 양자화기(140), 디지털 비트 스트림을 아날로그 값으로 변환하는 디지털 아날로그 변환기(150) 및 디지털 비트 스트림을 디지털 신호(OUT)로 변환하는 데시메이터(160)를 포함한다.
- [0025] 도 2의 실시예에서는 증폭기(110)가 맵스 장치(20)의 출력이 아닌 연산기(120)의 출력을 증폭한다.
- [0026] 연산기(120)의 출력은 양자화 노이즈에 해당하므로 진폭이 매우 작다.
- [0027] 이에 따라 증폭기(110)에서 출력되는 신호의 진폭이 전원 전압 이상으로 포화될 가능성이 매우 작아지며 이로 인하여 디지털 신호(OUT)가 왜곡될 가능성이 작다.
- [0028] 증폭기(110)는 소스 팔로워 또는 전하 증폭기를 이용하여 구현될 수 있다.
- [0029] 이때 디지털 아날로그 변환기(150)에서 출력되는 아날로그 전압을 맵스 장치(20)의 출력과 뺄셈을 수행하기 위해서 연산기(110)는 전압을 전하량으로 변환하는 커패시터를 더 포함하는 방식으로 구현될 수 있다.
- [0030] 그런데 맵스 장치(20)에서 출력된 아날로그 신호의 진폭이 상대적으로 작은 경우 즉 데시메이터(160)에서 출력된 디지털 신호(OUT)가 상대적으로 작은 값을 가지는 경우 연산기(110)에 포함된 커패시터 등에서 발생하는 노이즈로 인하여 전체 신호의 품질이 큰 영향을 받을 수 있다.
- [0031] 이에 따라 맵스 장치(20)에서 출력된 신호의 크기가 미리 정한 수준을 초과하는 경우에 한하여 도 2의 실시예와 같이 동작하고 그렇지 않은 경우 종래와 같이 동작하는 아날로그 디지털 변환 장치를 고려할 수 있다.
- [0032] 도 3은 본 발명의 다른 실시예에 의한 아날로그 디지털 변환 장치와 이를 포함하는 마이크의 블록도이다.
- [0033] 아날로그 디지털 변환 장치(200)는 맵스 장치(20)의 출력과 디지털 아날로그 변환기(250)의 출력을 뺄셈하는 제 1 연산기(221), 제 1 선택부(281)의 출력을 증폭하는 증폭기(210), 증폭기(210)의 출력과 디지털 아날로그 변환기(250)의 출력을 뺄셈하는 제 2 연산기(222), 제 2 선택부(282)의 출력을 필터링하는 필터(230), 필터(230)의 출력을 디지털 비트 스트림으로 변환하는 양자화기(240), 디지털 비트 스트림을 아날로그로 변환하는 디지털 아날로그 변환기(250) 및 디지털 비트 스트림을 디지털 신호(OUT)로 변환하는 데시메이터(260)를 포함한다.
- [0034] 아날로그 디지털 변환 장치(200)는 선택 신호(SEL)가 논리 0인 경우 맵스 장치(20)의 출력을 선택하고, 논리 1인 경우 제 1 연산기(221)의 출력을 선택하는 제 1 선택부(281)를 더 포함한다.
- [0035] 아날로그 디지털 변환 장치(200)는 선택 신호(SEL)가 논리 1인 경우 증폭기(210)의 출력을 선택하고, 논리 0인 경우 제 2 연산기(222)의 출력을 선택하는 제 2 선택부(282)를 더 포함한다.
- [0036] 아날로그 디지털 변환 장치(200)는 선택 신호(SEL)를 출력하는 탐지부(270)를 더 포함한다.
- [0037] 탐지부(270)는 맵스 장치(20)의 출력이 일정한 크기 이하인지를 판단한다.
- [0038] 이를 위하여 탐지부(270)는 맵스 장치(20)의 출력 신호에 대응하는 디지털 신호(OUT)가 임계점 이하인지 판단한다.
- [0039] 선택 신호(SEL)는 디지털 신호(OUT)의 크기가 임계점 이하인 경우 논리 0의 신호를 출력하고 그렇지 않은 경우 논리 1의 신호를 출력한다.
- [0040] 즉 디지털 신호(OUT)의 크기가 임계점 이하인 경우 제 1 선택부(281)는 맵스 장치(20)의 출력을 선택하고, 제 2 선택부(282)는 제 2 연산기(222)의 출력을 선택한다.
- [0041] 이에 따라 디지털 신호(OUT)의 크기가 임계점 이하인 경우 아날로그 디지털 변환 장치(200)는 도 1의 종래의 아날로그 디지털 변환 장치(10)와 같이 동작한다.
- [0042] 반대로 디지털 신호(OUT)의 크기가 임계점 이하가 아닌 경우 제 1 선택부(281)는 제 1 연산기(221)의 출력을 선

택하고, 제 2 선택부(282)는 증폭기(210)의 출력을 선택한다.

- [0043] 이에 따라 디지털 신호(OUT)의 크기가 임계점 이하가 아닌 경우 아날로그 디지털 변환 장치(200)는 도 2의 아날로그 디지털 변환 장치(100)와 같이 동작한다.
- [0044] 제 1 연산기(221)는 도 2의 연산기(120)와 같이 디지털 아날로그 변환기(150)에서 출력되는 아날로그 전압과 맵스 장치(20)의 출력의 뺄셈을 수행하기 위해서 디지털 아날로그 변환기(150)에서 출력되는 아날로그 전압을 전하량으로 변환하는 커패시터를 더 포함하는 방식으로 구현될 수 있다.
- [0045] 그런데 도 3의 실시예에서는 디지털 신호(OUT)의 크기가 작은 경우에는 제 1 연산기(221)의 출력을 사용하지 않으므로 노이즈의 영향을 줄일 수 있다.
- [0046] 탐지부(270)는 데시메이터(260)에서 출력된 디지털 신호(OUT)의 크기를 탐지하여 선택 신호(SEL)를 출력한다.
- [0047] 도 4는 도 3의 탐지부의 일 실시예를 나타낸 상세 블록도이다.
- [0048] 탐지부(270)는 변환부(271)와 비교부(272)를 포함한다.
- [0049] 변환부(271)는 디지털 신호(OUT)로부터 디지털 신호(OUT)의 진폭에 대응하는 값을 가지는 진폭 신호를 출력한다.
- [0050] 도 4의 그래프는 연속적인 것으로 표시되었으나 실제로는 디지털 신호(OUT)로부터 추출되는 이산 신호를 근사하여 표시한 것이다.
- [0051] 비교부(272)는 진폭 신호를 저주파 필터링하고 이를 임계점(TH)과 비교하여 선택 신호를 출력한다.
- [0052] 저주파 필터링을 통해 진동하는 형태의 진폭 신호의 포락선(envelope)을 얻을 수 있다.
- [0053] 선택 신호(SEL)는 포락선이 임계점 이하인 경우 선택 신호는 논리 0을 가지고 반대의 경우 논리 1을 가진다.
- [0054] 도 5는 본 발명의 효과를 나타내는 그래프이다.
- [0055] 도 5는 맵스 장치(20)에서 1.5KHz의 사인파의 신호가 출력되는 것을 가정한 시뮬레이션 결과를 나타낸다.
- [0056] 도 1과 같이 종래의 기술을 사용하는 경우에는 1.5KHz에 대응하는 하모닉 성분이 나타났으나 도 3과 같이 본 발명을 사용하는 경우에는 하모닉 성분이 거의 나타나지 않았다.
- [0057] 신호 왜곡 비율을 나타내는 SNDR(Signal-Distortion Ratio)의 경우 종래에는 33.8dB에 불과하였으나 본 발명에서는 111.3dB로서 성능이 크게 향상되었음을 알 수 있다.
- [0058] 또한 SFDR(spurious-Free Dynamic Range) 특성은 신호의 크기를 최대의 스퍼 신호와 비교한 값인데 종래의 경우에는 이 값이 37.5dB에 불과하였으나 본 발명에서는 116.9dB으로 크게 향상된 값을 가진다.
- [0059] 이상은 본 발명의 실시예를 개시하기 위한 것으로서 이상의 개시로 인하여 본 발명의 권리범위가 한정되는 것은 아니다.
- [0060] 본 발명의 권리범위는 이하의 특허 청구범위에 문언적으로 기재된 범위와 그 균등 범위로 정해진다.

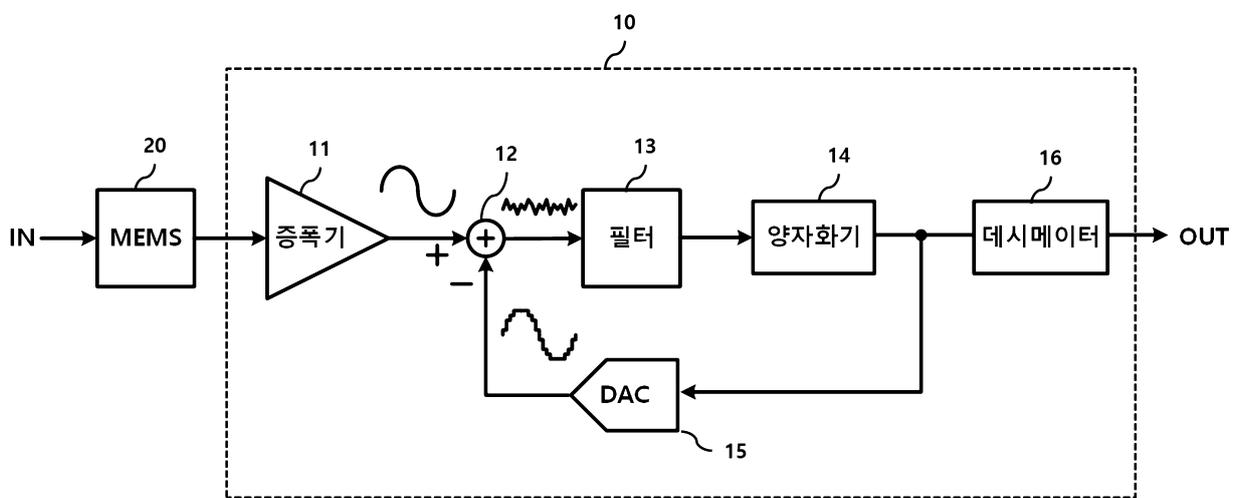
부호의 설명

- [0061] 10, 100: 아날로그 디지털 변환 장치
- 11, 110, 210: 증폭기
- 12, 120: 연산기
- 221: 제 1 연산기
- 222: 제 2 연산기
- 13, 130, 230: 필터
- 14, 140, 240: 양자화기
- 15, 150, 250: 디지털 아날로그 변환기

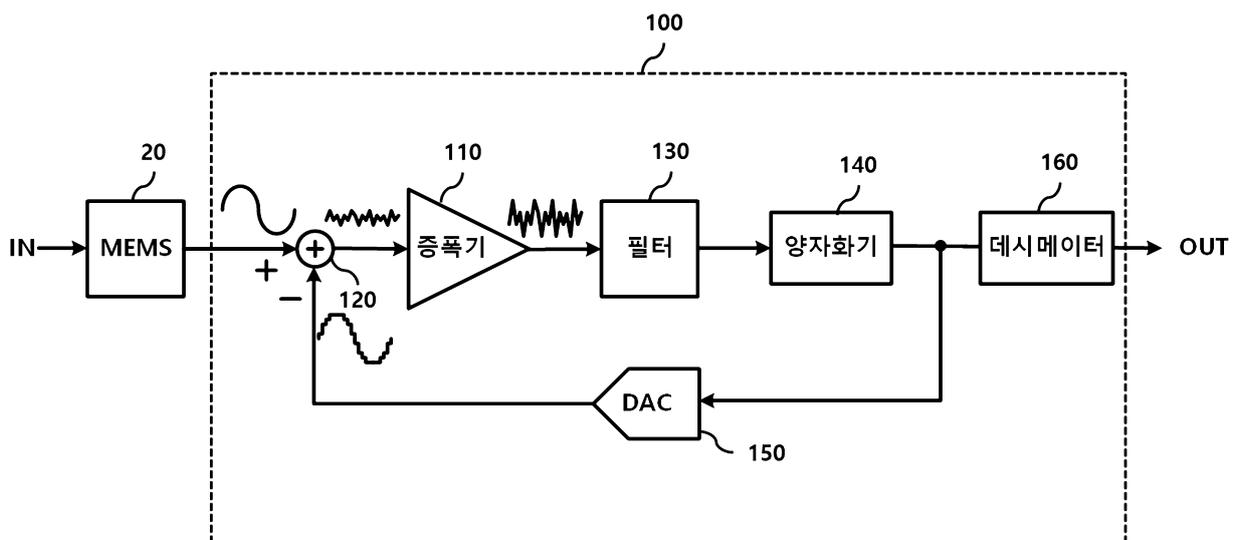
- 16, 160, 260: 데시메이터
- 270: 탐지부
- 271: 변환부
- 272: 비교부
- 281: 제 1 선택부
- 282: 제 2 선택부
- 20: 멤스 장치

도면

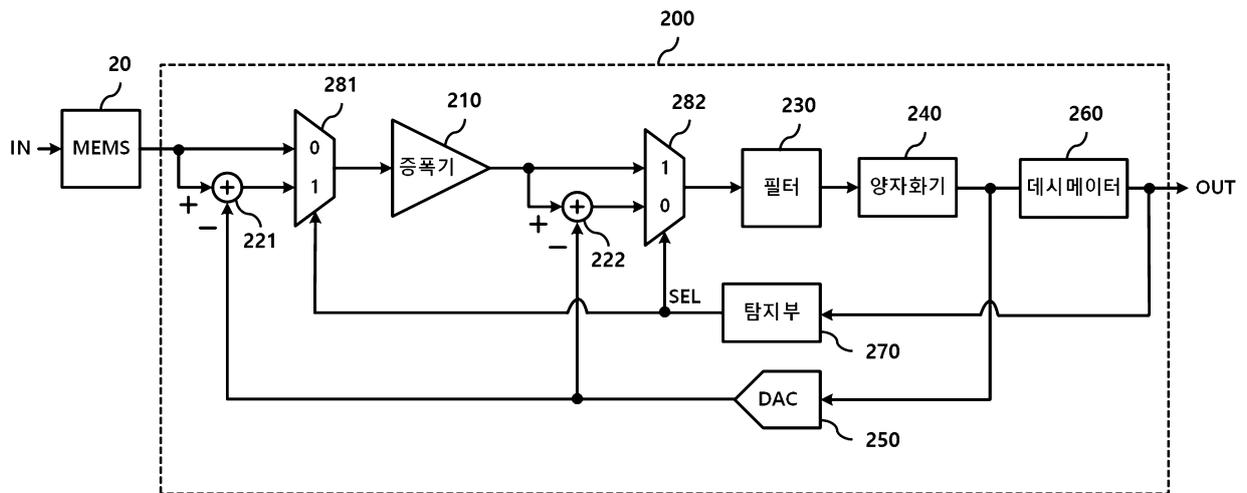
도면1



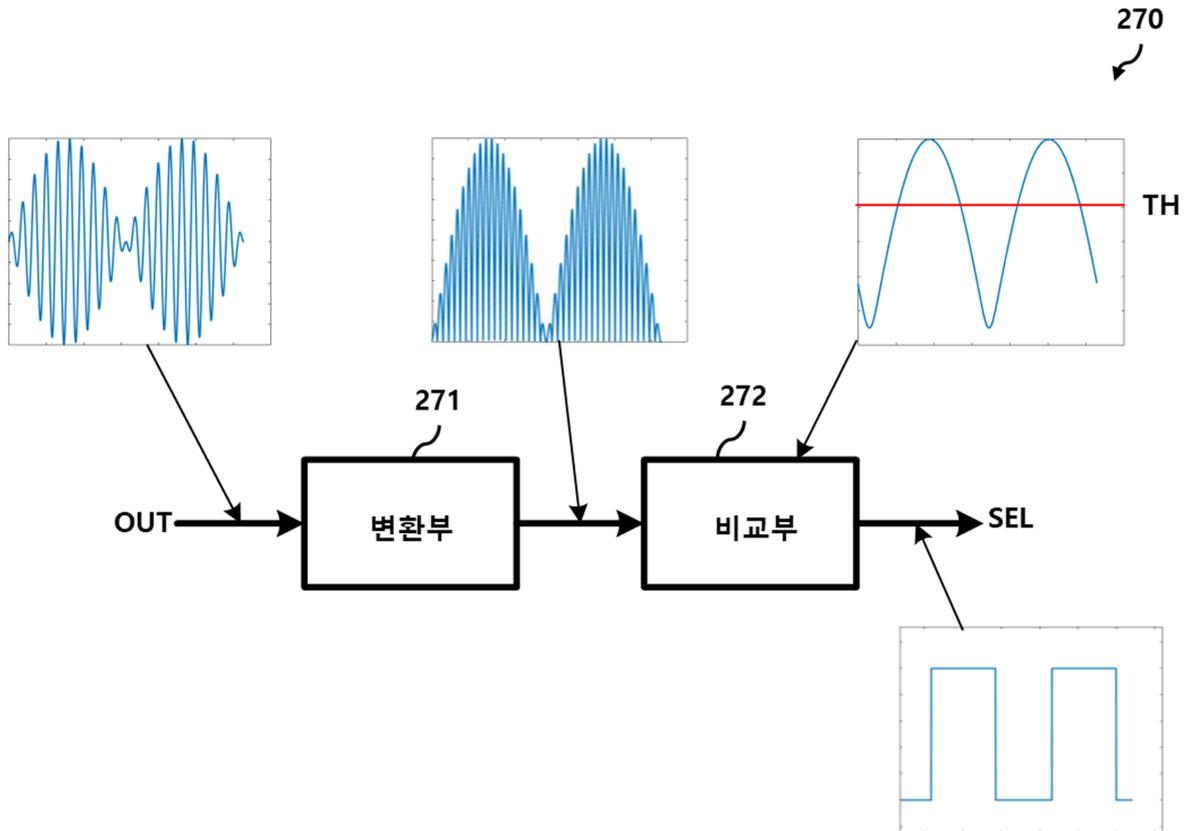
도면2



도면3



도면4



도면5

